

10

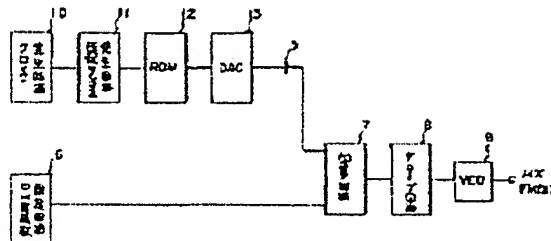
NOISE FM SIGNAL GENERATION CIRCUIT

Publication number: JP10084223
 Publication date: 1998-03-31
 Inventor: KATSUURA HIDEFUMI
 Applicant: MITSUBISHI ELECTRIC CORP
 Classification:
 - international: H03B29/00; H03B29/00; (IPC1-7): H03B29/00
 - european:
 Application number: JP19960239287 19960910
 Priority number(s): JP19960239287 19960910

Report a data error here

Abstract of JP10084223

PROBLEM TO BE SOLVED: To reduce noise FM width fluctuation against a wide range of ambient temperature by preparing a pseudo noise generation means which generates a noise voltage of a pseudo Gaussian distribution based on a clock. **SOLUTION:** A pseudo random generation circuit 11 generate the random signals in synchronism with the clock sent from a clock generation circuit 10 and converts the random signals into a pseudo Gaussian distribution via a ROM 12. The output of the ROM 12 is converted into a voltage signal by a D/A converter(DAC) 13 and added to the control voltage received from a central frequency setting circuit 6 by an adder circuit 7. This addition signal is used as the control signal of a voltage control oscillator (VCO) 9 which produces a noise FM signal based on the control signal. Thus, the pseudo noises are generated by a digital circuit not by the thermal noises and accordingly the amplitude fluctuation due to the ambient temperature is reduced and the generated noise signal has a high level. As a result, a stable noise FM signal generation circuit is obtained without increasing the signal amplification factor.



Data supplied from the esp@cenet database - Worldwide

1Q

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-84223

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl.⁶

H 0 3 B 29/00

識別記号

庁内整理番号

F I

H 0 3 B 29/00

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平8-239287

(22) 出願日 平成8年(1996) 9月10日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 勝浦 秀文

神奈川県鎌倉市上町屋214番地 三菱電機

特機システム株式会社内

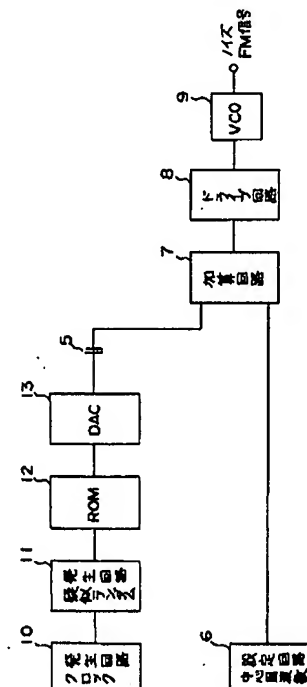
(74) 代理人 弁理士 曾我 道照 (外6名)

(54) 【発明の名称】 ノイズFM信号発生回路

(57) 【要約】

【解決手段】 クロックを発生するクロック発生回路10と、クロックの周期に従い一様分布のランダム信号を発生する疑似ランダム発生回路11と、一様分布のランダム信号を疑似ガウス分布のランダム信号に変換するROM12と、疑似ガウス分布のランダム信号をノイズ電圧に変換するデジタル・アナログ変換器13と、中心周波数制御電圧を出力する中心周波数設定回路6と、ノイズ電圧と中心周波数制御電圧とを加算する加算回路7と、加算回路の出力に基づいて周波数制御信号を出力するドライバ回路8と、周波数制御信号に基づいてノイズFM信号を発生する電圧制御発振器9とを備えたものである。

【効果】 周囲温度変化に対しノイズFM幅の変動を小さくでき、ノイズ信号の増幅率を大きくする必要がないため安定な回路が構成でき、またデジタル回路部分の小型化が図れる。



【特許請求の範囲】

【請求項1】 クロックを発生するクロック発生手段と、

前記クロックに基づいて疑似ガウス分布のノイズ電圧を発生する疑似ノイズ発生手段と、

中心周波数制御電圧を出力する中心周波数設定回路と、
前記ノイズ電圧と前記中心周波数制御電圧とを加算する加算回路と、

前記加算回路の出力に基づいて周波数制御信号を出力するドライブ回路と、

前記周波数制御信号に基づいてノイズFM信号を発生する電圧制御発振器とを備えたことを特徴とするノイズFM信号発生回路。

【請求項2】 前記疑似ノイズ発生手段は、前記クロックの周期に従い一様分布のランダム信号を発生する疑似ランダム発生回路と、前記一様分布のランダム信号を疑似ガウス分布のランダム信号に変換する分布変換手段と、前記疑似ガウス分布のランダム信号をノイズ電圧に変換するデジタル・アナログ変換器とを有することを特徴とする請求項1記載のノイズFM信号発生回路。

【請求項3】 前記分布変換手段は、一様分布のデータとそれらに対応する疑似ガウス分布のデータとが記憶されているROMであることを特徴とする請求項2記載のノイズFM信号発生回路。

【請求項4】 前記ROMは複数組の分布変換データが記憶され、前記複数組の分布変換データのいずれかを選択するための分布選択回路をさらに備えたことを特徴とする請求項3記載のノイズFM信号発生回路。

【請求項5】 前記クロック発生手段は、ランダムクロックを発生するランダムクロック発生回路であることを特徴とする請求項1記載のノイズFM信号発生回路。

【請求項6】 前記疑似ノイズ発生手段は、前記クロックの周期に従い一様分布の信号を発生するカウンタ回路と、前記一様分布の信号を疑似ガウス分布の信号に変換する分布変換手段と、前記疑似ガウス分布の信号をノイズ電圧に変換するデジタル・アナログ変換器とを有することを特徴とする請求項1記載のノイズFM信号発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ECM (Electronic Counter Measure) 関連装置等に使用する疑似ガウス分布のノイズFM信号を発生するノイズFM信号発生回路に関するものである。

【0002】

【従来の技術】 従来のノイズFM信号発生回路の構成について図5を参照しながら説明する。図5は、従来のノイズFM信号発生回路の構成を一部をブロックで示す図である。

【0003】 図5において、1はガウスノイズを発生す

るノイズダイオード、2はノイズダイオード1にバイアスを与える抵抗器、3はノイズ信号からDC成分を除去するコンデンサ、4はノイズ電圧を増幅する増幅器、5はノイズ信号からDC成分を除去するコンデンサである。

【0004】 また、同図において、6は後述する電圧制御発振器 (VCO) の中心周波数を設定する中心周波数設定回路、7はガウス分布の電圧と中心周波数設定電圧とを加算する加算回路、8は加算回路7の出力により電圧制御発振器を駆動するドライブ回路、9はドライブ回路8の出力によりノイズFM信号を発生する電圧制御発振器である。

【0005】 つぎに、従来のノイズFM信号発生回路の動作について図6を参照しながら説明する。図6は、従来のノイズFM信号発生回路の電圧制御発振器の制御電圧-発振周波数の関係を示す特性図である。同図において、横軸は制御電圧、縦軸は発振周波数をそれぞれ示す。

【0006】 まず、ノイズダイオード1は、抵抗器2を通して電圧が印加される。このようにすることで、ノイズダイオード1の逆方向電圧に重畳して熱雑音であるガウスノイズが発生し、ノイズ電圧の振幅は熱雑音であることから温度の平方根に比例する。

【0007】 コンデンサ3によりノイズ電圧のみが取り出され、増幅器4に入力される。ノイズダイオード1から得られるノイズ電圧は、通常、数 μ Vであり、必要とするノイズ電圧は数Vであることから増幅器4の増幅率は数万倍以上となる。

【0008】 このようにして得られたノイズ電圧は、加算回路7により中心周波数設定回路6からの中心周波数制御電圧と加算され、その出力がドライブ回路8に入力される。ドライブ回路8の出力である電圧制御発振器9の周波数制御電圧が電圧制御発振器9に入力される。

【0009】 そして、電圧制御発振器9は、設定された中心周波数を中心にノイズ電圧の振幅に相当したFM幅のノイズFM信号を発生する。

【0010】 図6は、電圧制御発振器の制御電圧対発振周波数特性の一例における、中心周波数制御電圧及びノイズ電圧と、ノイズFM信号のFM幅の関係について示す。

【0011】 このように生成したノイズFM信号は、制御電圧のノイズがガウス分布であるため電圧制御発振器9の出力もガウス分布となり、中心周波数付近の信号密度が高い。

【0012】 ECM装置において、周波数合致度を改善する目的で周波数帯域を広げる場合、このような回路を使用することが一般的である。

【0013】

【発明が解決しようとする課題】 上述したような従来のノイズFM信号発生回路では、ECM装置等のように広

い周囲温度範囲が要求されている場合、ノイズFM幅が変動し、そのための補正回路を必要とするなど回路が複雑になり、また恒温槽等の使用で構造が大型になるという問題点があった。

【0014】この発明は、前述した問題点を解決するためになされたもので、中心周波数付近に密度が高く、広い周囲温度に対しノイズFM幅変動を少なくすることができ、小型で安定なノイズFM信号発生回路を得ることを目的とする。

【0015】

【課題を解決するための手段】この発明に係るノイズFM信号発生回路は、クロックを発生するクロック発生手段と、前記クロックに基づいて疑似ガウス分布のノイズ電圧を発生する疑似ノイズ発生手段と、中心周波数制御電圧を出力する中心周波数設定回路と、前記ノイズ電圧と前記中心周波数制御電圧とを加算する加算回路と、前記加算回路の出力に基づいて周波数制御信号を出力するドライブ回路と、前記周波数制御信号に基づいてノイズFM信号を発生する電圧制御発振器とを備えたものである。

【0016】また、この発明に係るノイズFM信号発生回路は、前記疑似ノイズ発生手段が、前記クロックの周期に従い一様分布のランダム信号を発生する疑似ランダム発生回路と、前記一様分布のランダム信号を疑似ガウス分布のランダム信号に変換する分布変換手段と、前記疑似ガウス分布のランダム信号をノイズ電圧に変換するデジタル・アナログ変換器とを有するものである。

【0017】また、この発明に係るノイズFM信号発生回路は、前記分布変換手段を、一様分布のデータとそれらに対応する疑似ガウス分布のデータとが記憶されているROMとしたものである。

【0018】また、この発明に係るノイズFM信号発生回路は、前記ROMが複数組の分布変換データが記憶され、前記複数組の分布変換データのいずれかを選択するための分布選択回路をさらに備えたものである。

【0019】また、この発明に係るノイズFM信号発生回路は、前記クロック発生手段を、ランダムクロックを発生するランダムクロック発生回路としたものである。

【0020】さらに、この発明に係るノイズFM信号発生回路は、前記疑似ノイズ発生手段が、前記クロックの周期に従い一様分布の信号を発生するカウンタ回路と、前記一様分布の信号を疑似ガウス分布の信号に変換する分布変換手段と、前記疑似ガウス分布の信号をノイズ電圧に変換するデジタル・アナログ変換器とを有するものである。

【0021】

【発明の実施の形態】

実施の形態1. この発明の実施の形態1に係るノイズFM信号発生回路の構成について図1を参照しながら説明する。図1は、この発明の実施の形態1の構成を示すブ

ロック図である。なお、各図中、同一符号は同一又は相当部分を示す。

【0022】図1において、10はクロックを発生するクロック発生回路、11はクロック発生回路10の出力であるクロック周期に従い一様分布のランダム信号を発生する疑似ランダム発生回路、12は疑似ランダム発生回路11の出力分布（一様分布）を疑似ガウス分布に変換するリードオンリーメモリ（ROM）、13はデジタル・アナログ変換器（DAC）である。また、5はノイズ信号からDC成分を除去するコンデンサである。

【0023】また、同図において、6は後述する電圧制御発振器（VCO）の中心周波数を設定する中心周波数設定回路、7は疑似ガウス分布の電圧と中心周波数設定電圧とを加算する加算回路、8は加算回路7の出力により電圧制御発振器を駆動するドライブ回路、9はドライブ回路8の出力によりノイズFM信号を発生する電圧制御発振器である。

【0024】つぎに、前述した実施の形態1の動作について説明する。

【0025】疑似ランダム発生回路11は、クロック発生回路10からのクロックに同期してランダム信号を発生する。例えば、16ビットの疑似ランダム発生回路で、上位8ビットを出力とすると、「0」から「255」のランダム信号で、各出力頻度が256回の一様分布ランダム信号が生成される。

【0026】ROM12により、「127」を中心に0または255に離れるに従い256回の出力頻度を少なくすることで疑似ガウス分布に変換する。このROM12の出力をDAC13により電圧信号に変換し、加算回路7により中心周波数設定回路6からの制御電圧と加算する。この加算信号をドライブ回路8を通じて電圧制御発振器9の制御信号とする。

【0027】電圧制御発振器9は、この制御信号に従いノイズFM信号を発生するが、発振周波数は設定された中心周波数付近の出力頻度は高く、FM幅の外側になるほど出力頻度が低くなる。

【0028】このように、疑似ノイズを熱雑音でなくデジタル回路で生成するために周囲温度による振幅変動が少なく、生成するノイズ信号のレベルが大きいことから信号増幅において増幅率を大きく取る必要がなく安定な回路が供給できる。

【0029】また、ROM12の内容を変更することで分布を自由に換えられ、クロック発生回路10を制御することで周期を変更することにより、ECM装置として設定の自由度を広げることができる。さらに、回路構成としてはデジタル回路の部分が多く、小型化が可能となる。

【0030】実施の形態2. この発明の実施の形態2に係るノイズFM信号発生回路について図2を参照しながら説明する。図2は、この発明の実施の形態2の構成を

示すブロック図である。

【0031】図2において、14はランダムクロックを発生するランダムクロック発生回路、11はランダムクロック発生回路10の出力に従い一様分布のランダム信号を発生する疑似ランダム発生回路、12は疑似ランダム発生回路11の出力分布（一様分布）を疑似ガウス分布に変換するリードオンリーメモリ（ROM）、13はデジタル・アナログ変換器（DAC）である。また、5はノイズ信号からDC成分を除去するコンデンサである。

【0032】また、同図において、6は後述する電圧制御発振器（VCO）の中心周波数を設定する中心周波数設定回路、7は疑似ガウス分布の電圧と中心周波数設定電圧とを加算する加算回路、8は加算回路7の出力により電圧制御発振器を駆動するドライブ回路、9はドライブ回路8の出力によりノイズFM信号を発生する電圧制御発振器である。

【0033】この実施の形態2では、クロック発生回路をランダムクロック発生回路14とし、ランダムクロックを発生することで周波数だけでなく時間的にもランダムにすることによりノイズFM信号のランダム性を変化することができ、上記実施の形態1と同様の効果が得られる。

【0034】実施の形態3. この発明の実施の形態3に係るノイズFM信号発生回路について図3を参照しながら説明する。図3は、この発明の実施の形態3の構成を示すブロック図である。

【0035】図3において、10はクロックを発生するクロック発生回路、15はクロックをカウントするカウンタ回路、12はカウンタ回路15の出力（一様分布）を疑似ガウス分布に変換するリードオンリーメモリ（ROM）、13はデジタル・アナログ変換器（DAC）である。また、5はノイズ信号からDC成分を除去するコンデンサである。

【0036】また、同図において、6は後述する電圧制御発振器（VCO）の中心周波数を設定する中心周波数設定回路、7は疑似ガウス分布の電圧と中心周波数設定電圧とを加算する加算回路、8は加算回路7の出力により電圧制御発振器を駆動するドライブ回路、9はドライブ回路8の出力によりノイズFM信号を発生する電圧制御発振器である。

【0037】この実施の形態3では、疑似ランダム発生回路の代わりにカウンタ回路15を使用するもので、ランダム性は損なわれるがECM装置の対象とするレーダ等は時間により信号を積分して処理するため、上記実施の形態1とほぼ同様の効果が得られる。

【0038】実施の形態4. この発明の実施の形態4に係るノイズFM信号発生回路について図4を参照しながら説明する。図4は、この発明の実施の形態4の構成を示すブロック図である。

【0039】図4において、10はクロックを発生するクロック発生回路、11はクロック発生回路10の出力であるクロック周期に従い一様分布のランダム信号を発生する疑似ランダム発生回路、12は疑似ランダム発生回路11の出力分布（一様分布）を疑似ガウス分布に変換するリードオンリーメモリ（ROM）、13はデジタル・アナログ変換器（DAC）である。また、5はノイズ信号からDC成分を除去するコンデンサである。さらに、16はROM12のデータ群を選択するための分布選択回路である。

【0040】また、同図において、6は後述する電圧制御発振器（VCO）の中心周波数を設定する中心周波数設定回路、7は疑似ガウス分布の電圧と中心周波数設定電圧とを加算する加算回路、8は加算回路7の出力により電圧制御発振器を駆動するドライブ回路、9はドライブ回路8の出力によりノイズFM信号を発生する電圧制御発振器である。

【0041】上記各実施の形態ではROM12による分布変換を一通りとしたが、この実施の形態4は複数の分布変換データをROM12で記憶し、分布選択回路16により分布変換データを選択することにより効率的な回路を供給できる。

【0042】すなわち、この発明の各実施の形態に係るノイズFM信号発生回路は、一様分布の疑似ランダム信号をROM12により分布変換し、DAC13により生成した疑似ガウス分布の電圧信号を使用するため、周囲温度変化に対しノイズFM幅の変動を小さくでき、ノイズ信号の増幅率を大きくする必要がないため安定な回路が構成され、またデジタル回路部分などの小型化が可能となる。

【0043】

【発明の効果】この発明に係るノイズFM信号発生回路は、以上説明したとおり、クロックを発生するクロック発生手段と、前記クロックに基づいて疑似ガウス分布のノイズ電圧を発生する疑似ノイズ発生手段と、中心周波数制御電圧を出力する中心周波数設定回路と、前記ノイズ電圧と前記中心周波数制御電圧とを加算する加算回路と、前記加算回路の出力に基づいて周波数制御信号を出力するドライブ回路と、前記周波数制御信号に基づいてノイズFM信号を発生する電圧制御発振器とを備えたので、周囲温度変化に対しノイズFM幅の変動を小さくでき、ノイズ信号の増幅率を大きくする必要がないため安定な回路が構成でき、またデジタル回路部分の小型化が図れるという効果を奏する。

【0044】また、この発明に係るノイズFM信号発生回路は、以上説明したとおり、前記疑似ノイズ発生手段が、前記クロックの周期に従い一様分布のランダム信号を発生する疑似ランダム発生回路と、前記一様分布のランダム信号を疑似ガウス分布のランダム信号に変換する分布変換手段と、前記疑似ガウス分布のランダム信号を

ノイズ電圧に変換するデジタル・アナログ変換器とを有するので、周囲温度変化に対しノイズFM幅の変動を小さくでき、ノイズ信号の増幅率を大きくする必要がないため安定な回路が構成でき、またデジタル回路部分の小型化が図れるという効果を奏する。

【0045】また、この発明に係るノイズFM信号発生回路は、以上説明したとおり、前記分布変換手段を、一様分布のデータとそれらに対応する疑似ガウス分布のデータとが記憶されているROMとしたので、周囲温度変化に対しノイズFM幅の変動を小さくでき、ノイズ信号の増幅率を大きくする必要がないため安定な回路が構成でき、またデジタル回路部分の小型化が図れるという効果を奏する。

【0046】また、この発明に係るノイズFM信号発生回路は、以上説明したとおり、前記ROMが複数組の分布変換データが記憶され、前記複数組の分布変換データのいずれかを選択するための分布選択回路をさらに備えたので、効率的な回路を供給できるという効果を奏する。

【0047】また、この発明に係るノイズFM信号発生回路は、以上説明したとおり、前記クロック発生手段を、ランダムクロックを発生するランダムクロック発生回路としたので、周波数だけでなく時間的にもランダムにできノイズFM信号のランダム性を変化させることができるという効果を奏する。

【0048】さらに、この発明に係るノイズFM信号発生回路は、以上説明したとおり、前記疑似ノイズ発生手段が、前記クロックの周期に従い一様分布の信号を発生

するカウンタ回路と、前記一様分布の信号を疑似ガウス分布の信号に変換する分布変換手段と、前記疑似ガウス分布の信号をノイズ電圧に変換するデジタル・アナログ変換器とを有するので、周囲温度変化に対しノイズFM幅の変動を小さくでき、ノイズ信号の増幅率を大きくする必要がないため安定な回路が構成でき、またデジタル回路部分の小型化が図れるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係るノイズFM信号発生回路の構成を示すブロック図である。

【図2】 この発明の実施の形態2に係るノイズFM信号発生回路の構成を示すブロック図である。

【図3】 この発明の実施の形態3に係るノイズFM信号発生回路の構成を示すブロック図である。

【図4】 この発明の実施の形態4に係るノイズFM信号発生回路の構成を示すブロック図である。

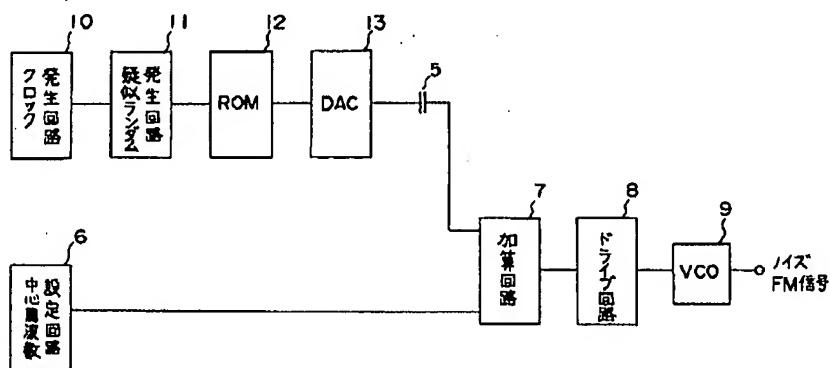
【図5】 従来のノイズFM信号発生回路の構成を示す図である。

【図6】 従来のノイズFM信号発生回路の電圧制御発振器の制御電圧－発振周波数の関係を示す特性図である。

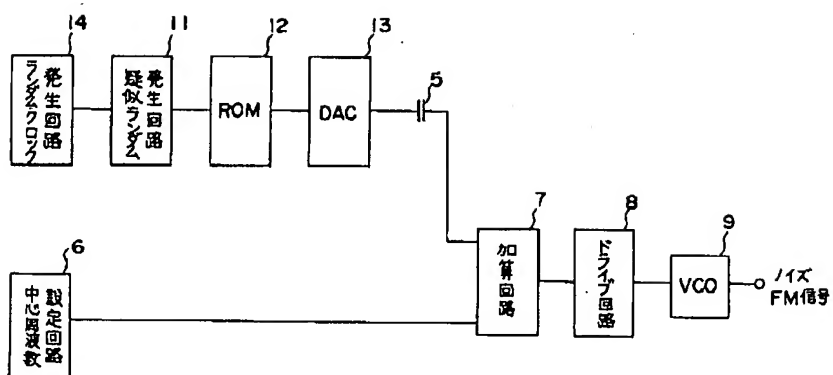
【符号の説明】

5 コンデンサ、6 中心周波数設定回路、7 加算回路、8 ドライブ回路、9 電圧制御発振器、10 クロック発生回路、11 疑似ランダム発生回路、12 リードオンリーメモリ (ROM)、13 デジタル・アナログ変換器 (DAC)、14 ランダムクロック発生回路、15 カウンタ回路、16 分布選択回路。

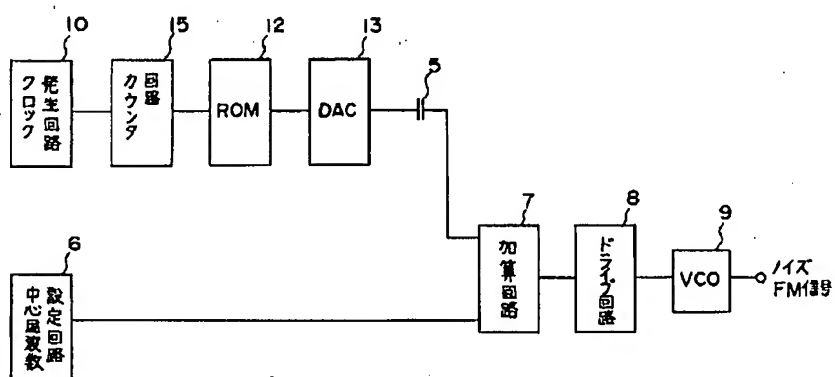
【図1】



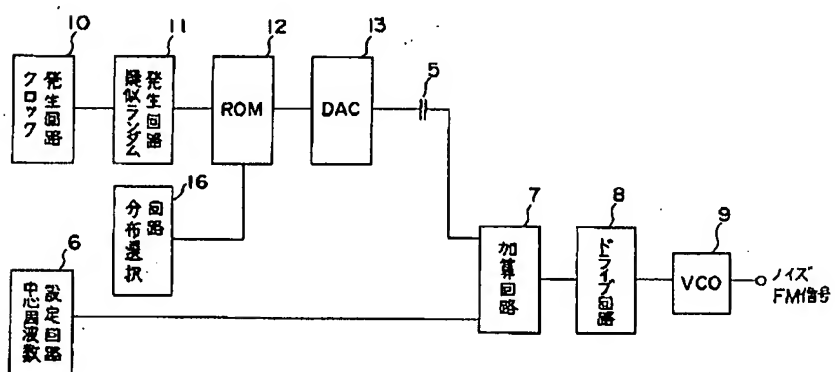
【図2】



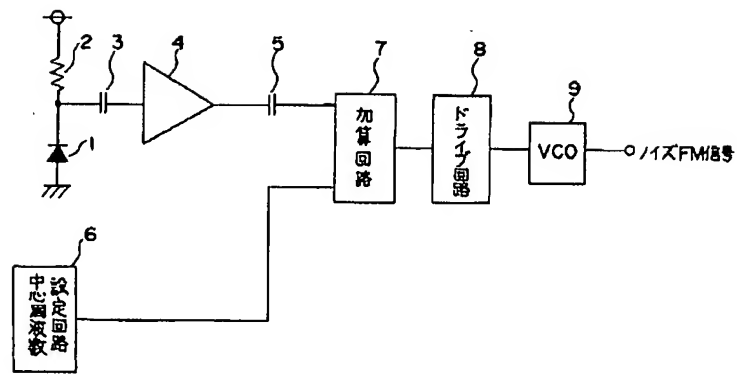
【図3】



【図4】



【図5】



【図6】

